



Europäisches Patentamt
European Patent Office
Office européen des brevets

(11) Numéro de publication:

0 013 347

A1

(12)

DEMANDE DE BREVET EUROPEEN

(21) Numéro de dépôt: 79104895.2

(51) Int. Cl.³: G 06 F 13/00

(22) Date de dépôt: 04.12.79

(30) Priorité: 28.12.78 US 973938

(71) Demandeur: International Business Machines Corporation

(23) Date de publication de la demande:
23.07.80 Bulletin 80/15

Armonk, N.Y. 10504(US)

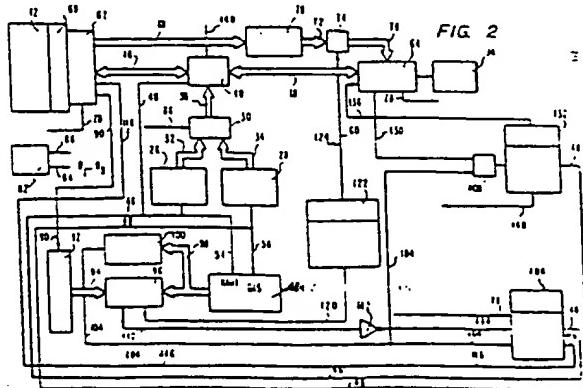
(84) Etats Contractants Désignés:
DE FR GB

(72) Inventeur: Heath, Chester A.
681 NE 30th Place
Boca Raton, Florida 33431(US)

(74) Mandataire: Bonneau, Gérard
COMPAGNIE IBM FRANCE Département de Propriété Industrielle
F-06610 La Gaude(FR)

(54) Dispositif à mémoire intermédiaire pour le transfert des données dans un système de traitement de données.

(57) Le dispositif comprend une mémoire intermédiaire (10), qui emmagasine temporairement une quantité prédéterminée de données pendant que s'effectue le transfert entre le processeur (12) et le dispositif d'entrée/sortie (14). Le circuit de commande (92,96,100,106) et le registre d'inventaire (42) assurent le maintien de cette quantité prédéterminée égale à une capacité d'emmagasinage de seuil qui peut être dynamiquement ajustée pour réduire au minimum les délais de remplissage de la mémoire (10) et les délais de démarrage des dispositifs d'entrée/sortie.



DISPOSITIF A MEMOIRE INTERMEDIAIRE POUR
LE TRANSFERT DES DONNEES DANS UN SYSTEME
DE TRAITEMENT DE DONNEES

Description

Domaine Technique

La présente invention concerne de façon générale les systèmes de traitement de données et plus particulièrement, un dispositif à mémoire intermédiaire de données de capacité variable pour commander le transfert des données entre un processus et des dispositifs d'entrée/sortie.

Etat de la Technique Antérieure

Les systèmes de traitement de données dans lesquels des dispositifs d'entrée/sortie sont utilisés pour entrer des données dans le système et pour retirer les données générées par celui-ci, utilisent d'une manière classique, des mémoires intermédiaires de données pour les données délivrées au dispositif d'entrée/sortie (E/S) ou retirées de celui-ci. Dans les systèmes de traitement de données dont le dispositif E/S est une unité à bande magnétique, il est nécessaire que la mémoire intermédiaire délivre des données à une vitesse de transfert compatible avec la vitesse d'enregistrement de l'unité à bande magnétique. Etant donné qu'il existe de nombreux autres dispositifs E/S requérant des données de l'unité de traitement centrale ou processeur et que la vitesse de transfert des données du processeur est plus élevée que la vitesse de l'unité à bande magnétique, une mise en mémoire intermédiaire des données

est nécessaire.

Les dispositifs à mémoire intermédiaires développés antérieurement utilisent des dispositifs d'emmagasinage intermédiaires de capacité fixe tels que la mémoire intermédiaire du type FIFO (premier entré - premier sorti) et la mémoire intermédiaire FIFO double dite du type "ping-pong". Un autre système à mémoire intermédiaire est décrit dans le brevet des E.U.A. No. 4 125 870. Ces systèmes développés antérieurement utilisant des mémoires intermédiaires FIFO de capacité fixe introduisent un retard fixe dans le courant des données transférées du processeur au dispositif E/S.

Un inconvénient supplémentaire rencontré avec les dispositifs à mémoire intermédiaire de l'art antérieur réside dans le fait que ces mémoires intermédiaires doivent être initialement remplies avant l'application d'un ordre d'écriture au dispositif E/S. La quantité de données qu'il est nécessaire de retenir dans une mémoire intermédiaire au début de l'opération d'écriture varie suivant l'application du système de traitement. Pour des agencements à mémoires intermédiaire fixes, il est généralement nécessaire de remplir toute la mémoire intermédiaire bien que le dispositif E/S puisse ne pas requérir cette quantité de données pour commencer l'opération d'écriture.

Exposé de l'Invention

Il est ainsi apparu nécessaire d'avoir une mémoire intermédiaire de données dont on puisse réduire au minimum les délais de remplissage et un dispositif E/S dont on puisse réduire les délais de démarrage/arrêt pour des applications et dans des conditions différentes.

Une telle mémoire intermédiaire de données doit être dynamiquement ajustable pour supprimer les problèmes liés aux mémoires intermédiaires de capacité fixe.

Le dispositif de la présente invention comporte une
5 mémoire intermédiaire de données de capacité variable
 emmagasinant des données qui sont transférées entre
 un processeur et un dispositif E/S. La taille ou la
 capacité de la mémoire intermédiaire est dynamiquement
 ajustable pour réduire au minimum les délais de rem-
10 plissage de celle-ci et les délais de démarrage/arrêt
 du dispositif E/S tout en assurant un emmagasinage
 intermédiaire approprié pour des applications et dans
 des conditions différentes.

Le dispositif à mémoire intermédiaire de données selon
15 la présente invention, commande le transfert des données
 entre un processeur qui génère des signaux de commande
 et un dispositif E/S. Le dispositif de données comprend
 un moyen d'.emmagasinage de données de capacité maximale,
 disposé entre le processeur et le dispositif E/S pour
20 recevoir des entrées de données du processeur et trans-
 mettre des données au dispositif E/S. Le moyen d'emma-
 gasinage de données transfère donc ainsi des données du
 processeur au dispositif d'entrée/sortie et emmagasine
 temporairement une quantité prédéterminée de données
25 tout en transférant simultanément des données entre le
 processeur et le dispositif E/S. Des moyens logiques
 sont prévus pour établir sélectivement une capacité
 d'emmagasinage de seuil pour le moyen d'emmagasinage de
 données, inférieure à la capacité d'emmagasinage maxi-
30 male de données. Des moyens logiques sont en outre
 prévus pour maintenir la quantité prédéterminée de
 données temporairement emmagasinée dans le moyen d'em-
 magasinage de données, égale à la capacité d'emmagasinage

de seuil tandis que le moyen d'emmagasinage de données reçoit des données du processeur et transmet des données au dispositif d'entrée/sortie.

- Selon un autre aspect de la présente invention, un
5 procédé de transfert des données d'un processeur à un dispositif d'entrée/sortie comporte une étape de transfert de données du processeur à un moyen d'emmagasinage de données. La quantité de données transférée au dispositif d'emmagasinage de données est contrôlée jusqu'à
10 un seuil inférieur à la capacité d'emmagasinage maximale du moyen d'emmagasinage de données. Une quantité préterminée de données est emmagasinée dans le moyen d'emmagasinage de données. Les données sont alors sorties du moyen d'emmagasinage de données tout en
15 maintenant continuellement la quantité préterminée de données dans le moyen d'emmagasinage.

Brève Description des Figures

La figure 1 est un schéma bloc d'un système de traitement de données comprenant le dispositif à mémoire
20 intermédiaire de la présente invention.

La figure 2 est un schéma plus détaillé du dispositif à mémoire intermédiaire de la présente invention.

La figure 3 est un schéma logique détaillé d'une partie de la figure 2.

25 La figure 4 est un schéma logique de la commande du dispositif représentée schématiquement à la figure 2.

La figure 5 est un schéma logique de la commande d'inventaire représentée schématiquement à la figure 2, et

La figure 6 est un schéma logique de la commande de transfert représentée schématiquement à la figure 2.

Mode de Réalisation Préféré
de l'Invention

5 La figure 1 représente le dispositif à mémoire intermédiaire de données comprenant un dispositif d'emma-gasinage ou mémoire intermédiaire 10 interconnecté entre un processeur 12 et un dispositif d'entrée/sortie (E/S) 14. Les données sont délivrées au processeur 12 depuis la mémoire intermédiaire de données 10 et délivrées à la mémoire intermédiaire 10 depuis le processeur 12 par l'intermédiaire d'un bus de données bidirectionnel 16. Les données sont transférées entre la mémoire intermédiaire 10 et le dispositif E/S 14 par l'intermédiaire du bus de données bidirectionnel 18. Le processeur 12 peut comprendre, par exemple, un calculateur IBM Série 1 Modèle 5, qui est décrit dans la Manuel IBM intitulé "Series/1 Model 5, 4955 Processor Description", IBM No. GA34-0021 (première édition, novembre 1976), et dans la Manuel IBM intitulé "Series/1, 4955 Processor Theory", IBM No. SY34-0041 (première édition, janvier 1977). Le dispositif E/S 14 est caractérisé comme constituant une ressource réutilisable en série à fonctionnement synchrone sans mémoire et à redémarrage difficile. Un tel dispositif E/S peut comporter par exemple une bande magnétique, un disque souple ou un réseau de télétraitements.

On trouve associés à la mémoire intermédiaire 10, un registre/compteur d'adresses d'écriture 26 et un registre/compteur d'adresses de lecture 28. Le registre/compteur d'adresses d'écriture 26 délivre des informations d'adresses à un commutateur 30 par l'intermédiaire d'un bus d'adresses 34. Les données trans-

férées du processeur 12 à la mémoire intermédiaire 10 sont chargées à une adresse indiquée par le registre/compteur d'adresses d'écriture 26. D'une manière similaire, les données transférées de la mémoire intermédiaire 10 au dispositif E/S 14 passent par le bus de données 18 et sont lues à une adresse indiquée par le registre/compteur d'adresses de lecture 28. Le commutateur 30 applique l'adresse communiquée soit par le registre/compteur d'adresses d'écriture 26, soit par le registre/compteur d'adresses de lecture 28 par le bus de données 36, à la mémoire intermédiaire de données 10. Le commutateur 30 assure la sélection pendant le cycle d'écriture, de l'adresse d'écriture délivrée par le registre/compteur d'adresses d'écriture 26 et sélectionne, pendant le cycle de lecture, l'adresse de lecture délivrée par le registre/compteur d'adresses de lecture.

La figure 1 représente en outre un circuit de commande 40 et un registre/compteur d'inventaire 42 associé au dispositif à mémoire intermédiaire de capacité variable de la présente invention. Le circuit de commande 40 délivre des signaux au commutateur 30 par la ligne de signaux 44, au registre/compteur d'adresses d'écriture 26 par la ligne de signaux 46, au registre/compteur d'adresses de lecture 28 par la ligne de signaux 48 et au registre/compteur d'inventaire 42 par la ligne de signaux 50. Le registre/compteur d'inventaire 42 reçoit des signaux du registre/compteur d'adresses d'écriture 26 par la ligne 54 et du registre/compteur d'adresses de lecture 28 par la ligne 56. Le registre/compteur d'inventaire 42 communique également avec le circuit de commande 40 par la ligne 50.

Comme on le verra ultérieurement à la figure 2, le

circuit de commande 40 et le registre/compteur d'inventaire 42 assurent le maintien d'une quantité pré-déterminée ou d'un "inventaire" des données instantanément présentes dans la mémoire intermédiaire 10 tandis que des données sont transférées du processeur 12 à la mémoire intermédiaire 10 et de celle-ci, au dispositif E/S 14. La quantité de données contenue dans la mémoire intermédiaire 10 pendant le fonctionnement du système, est pré-sélectionnée à une valeur inférieure à la capacité d'emmagasinage maximale de la mémoire intermédiaire 10. Cette possibilité d'ajustement dynamique du fonctionnement de la mémoire intermédiaire 10 réduit ses délais de remplissage au minimum et lui permet de s'adapter à différentes configurations de système.

Le circuit de commande 40 et le registre/compteur d'inventaire 42 combinés au registre/compteur d'adresses d'écriture 26 et au registre/compteur d'adresses de lecture 28, assurent le maintien de l'inventaire dans la mémoire intermédiaire 10 à une valeur pré-déterminée entre les données appliquées à la mémoire intermédiaire 10 et les données sorties de celle-ci. Le transfert des données au dispositif E/S 14 n'est pas autorisé si la valeur d'inventaire est nulle ou inférieure à la valeur de seuil pré-déterminée. Le transfert des données est autorisé, de la mémoire intermédiaire 10 au dispositif E/S 14, lorsque la quantité de données transférée dans la mémoire intermédiaire 10 est égale à la valeur de seuil. La présente invention permet au circuit de commande 40 et au registre/compteur d'inventaire 42 de commander dynamiquement la taille de la mémoire intermédiaire 10 pour la meilleure adaptation possible de celle-ci aux diverses configurations de système.

La figure 2 est un schéma logique détaillé du dispositif

à mémoire intermédiaire de capacité variable de la présente invention dans lequel les éléments précédemment identifiés sont affectés des mêmes références. Le processeur 12 comprend une mémoire associée 60 et une interface de canaux 62. Les données sont transférées entre l'interface de canaux 62 et la mémoire intermédiaire 10 par le bus de données 16, comme décrit précédemment. La mémoire intermédiaire 10 est présentée à la figure 2 sous la forme d'une mémoire intermédiaire à accès aléatoire (RAM). Cependant, la mémoire intermédiaire 10 peut aussi comprendre, par exemple, un réseau de registres, une pile de registres "premier entré - premier sorti" ou tout autre élément similaire. Les données sont transférées entre la mémoire intermédiaire 10 et l'unité de commande de dispositif 64 associée au dispositif E/S 14 par le bus de données 18.

L'interface de canaux 62 délivre un ordre de 8 bits par le bus de données 68 au registre d'ordres 70. La sortie du registre d'ordres 70 est appliquée par un bus de données 72 à un circuit ET 74 dont la sortie est appliquée par un bus de données d'ordres 76 à l'unité de commande de dispositif 64. Les informations emmagasinées dans le registre d'ordres 70 sont appliquées à l'unité de commande de dispositif 64 pour l'informer d'une écriture avant, d'une lecture arrière, d'une lecture avant, d'un ré-enroulement, d'un passage hors ligne ou d'une écriture en mémoire lorsque le dispositif E/S 14 est un dispositif à bande magnétique. L'unité de commande 64 génère un signal de sortie TRANSFERT TERMINE par la ligne de signaux 78, qui est appliquée à l'interface de canaux 62. Ce signal indique au processeur 12 que la quantité de données emmagasinée dans la mémoire intermédiaire 10 a été transférée du processeur 12 au dispositif E/S 14.

La figure 2 représente également une horloge 82 qui génère les signaux de chronologie nécessaires Phase 1 à Phase N par les lignes 84 pour maintenir la synchronisation des divers composants du circuit. L'horloge 82 5 génère également le signal CYCLE LECTURE/ÉCRITURE appliqué par la ligne 86 au commutateur 30 pour commander l'application de l'adresse d'écriture ou de l'adresse de lecture du registre/compteur d'adresses d'écriture 26 et du registre/compteur d'adresses de lecture 28 à 10 la mémoire intermédiaire 10.

La mémoire 60 associée au processeur 12 contient une valeur de seuil d'inventaire pouvant être sélectionnée par le programme du processeur 12 pour déterminer la part ou le pourcentage de la capacité d'emmagasinage totale de la mémoire intermédiaire 10 qui sera utilisé. 15 Cette valeur de seuil d'inventaire est délivrée par l'interface de canaux 62 et la ligne 90 à un registre 92. Dans la réalisation préférée, le processeur 12 délivre par l'intermédiaire de la mémoire 60, de l'interface de canaux 62 et de la ligne 90, une valeur à 2 20 bits pour représenter 0, 1/16, 9/16 ou 15/16 de la capacité d'emmagasinage totale de la mémoire intermédiaire 10.

La sortie du registre 92 est appliquée par un bus de données 94 à un circuit de comparaison 96. La sortie du 25 registre/compteur d'inventaire 42 est appliquée par un bus de données 98 aux circuits de comparaison 96 et 100. Le registre/compteur d'inventaire 42 est incrémenté par une sortie du registre/compteur d'adresses d'écriture 26 par la ligne 54 et est décrémenté par une 30 sortie du registre/compteur d'adresses de lecture 28 par la ligne 56. De plus, on peut voir que la valeur emmagasinée dans le registre/compteur d'inventaire 42

représente la quantité instantanée de données présentes dans la mémoire intermédiaire 10.

La sortie du circuit de comparaison 100 est appliquée par la ligne 104 à l'unité de commande d'inventaire 106 5 et à un circuit ET 108. Le signal de sortie sur la ligne 104 indique que l'inventaire contenu dans la mémoire intermédiaire 10 est supérieur à zéro mais inférieur à la capacité d'emmagasinage totale de la mémoire 10. La sortie du circuit de comparaison 98 est 10 appliquée par la ligne 110 au travers d'un inverseur 112, à l'unité de commande d'inventaire 106 par la ligne 114. La sortie de l'inverseur 112 indique que l'inventaire n'excède pas la valeur de seuil.

L'unité de commande d'inventaire 106 reçoit également 15 le signal TRANSFERT ACHEVE par la ligne 78. La sortie de l'unité de commande d'inventaire 106 génère le signal ECHANTILLONNAGE ECRITURE par la ligne 46 qui est raccordée à la mémoire intermédiaire 10 et au registre/compteur d'adresses d'écriture 26. Une deuxième 20 sortie de l'unité de commande d'inventaire 106 délivre le signal REQUETE TRANSFERT MEMOIRE INTERMEDIAIRE appliquée par la ligne 116 au processeur 12 par l'intermédiaire de l'interface de canaux 62.

En fonctionnement, l'unité de commande d'inventaire 106 25 permet l'introduction de données dans la mémoire intermédiaire 10 jusqu'à ce que la quantité des données soit égale à la valeur de seuil. Initialement, la valeur d'inventaire des données émmagasinées dans la mémoire intermédiaire 10 est nulle comme celle du contenu du 30 registre/compteur d'adresses d'écriture 26 et du registre/compteur d'adresses de lecture 28. L'unité de commande d'inventaire 106 délivrera un signal REQUETE

MEMOIRE INTERMEDIAIRE pour remplir la mémoire intermédiaire 10. A mesure que chaque signal de transfert issu de l'unité de commande d'inventaire 106 est générée, un signal ECHANTILLONNAGE ECRITURE est généré par l'unité de commande d'inventaire 106 pour placer l'adresse d'écriture du registre/compteur d'adresses d'écriture 26 dans un état de synchronisation approprié pendant le cycle d'écriture. De plus, le registre/compteur d'adresses d'écriture 26 et le registre/compteur d'inventaire 42 sont incrémentés. Ce processus de requête de données du processeur 12 se poursuit jusqu'à ce que la quantité de données contenue dans la mémoire intermédiaire 10 ou l'inventaire soit égal à la valeur de seuil.

Lorsque la valeur de l'inventaire est égale à la valeur de seuil, le circuit de comparaison 96 génère le signal INVENTAIRE EGAL SEUIL par la ligne 120 pour application à un dispositif de commande 122 qui délivre un signal MARCHE par la ligne 124 au circuit ET 74. La sortie de l'unité de commande du dispositif 122 est combinée avec la sortie du registre d'ordres 70 par le circuit ET 74 pour appliquer un ordre par le bus de données 76 à l'unité de commande de dispositif 64. Cet ordre applique à l'unité de commande 64, lorsque le dispositif E/S 14 est un dispositif à bande magnétique, indique au dispositif E/S 14 qu'il doit commencer à accélérer la bande. Lorsque la bande magnétique a été accélérée à la vitesse appropriée, l'unité de commande de dispositif 64 génère le signal REQUÊTE TRANSFERT DISPOSITIF par la ligne 130 raccordée au circuit ET 108. Etant donné que l'inventaire à cet instant n'est pas complet et qu'il s'agit de la valeur de seuil qui est inférieure à la capacité maximale de la mémoire intermédiaire 10, une sortie est délivrée à partir du circuit de comparaison 100 par la ligne 104 au circuit ET 108. Le circuit ET 108 génère

donc une sortie appliquée à une unité de commande de transfert 132.

L'unité de commande de transfert 132 génère le signal ECHANTILLONNAGE LECTURE par la ligne 48 qui est raccordée au registre/compteur d'adresses de lecture 28 pour appliquer une adresse de lecture à la mémoire intermédiaire 10. Le signal ECHANTILLONNAGE LECTURE est également appliqué par la ligne 56 pour décrémenter le registre/ compteur d'inventaire 42. La commande de transfert 132 génère également le signal TRANSFERT DONNEES par la ligne 136 pour application à l'unité de commande de dispositif 64. Le signal ECHANTILLONNAGE SORTIE étant généré par l'unité de commande de transfert 132 et appliqué par la ligne 140 à la mémoire intermédiaire 10, des données sont transférées de la mémoire intermédiaire 10 par le bus de données 18, à l'unité de commande de dispositif 64 et finalement, au dispositif E/S 14.

Pendant le transfert des données au dispositif E/S 14, la valeur de seuil peut être dynamiquement modifiée pour faire varier la quantité de données d'inventaire maintenue dans la mémoire intermédiaire 10 pendant le fonctionnement du système. Tandis que l'unité de commande de transfert 132 provoque la délivrance de données par la mémoire intermédiaire 10, l'unité de commande d'inventaire 106 commande l'introduction de données issues du processeur 12 dans la mémoire intermédiaire 10. La commande de transfert 132 et la commande d'inventaire 106 maintiennent donc la valeur de l'inventaire précédemment sélectionné par programme au travers du registre 92 tout en délivrant encore suffisamment de données de la mémoire intermédiaire 10 au dispositif E/S 14.

En résumé, le circuit de commande 40 (figure 1) comprend les circuits de comparaison 96 et 100, l'unité de commande d'inventaire 106, l'unité de commande de dispositif 122 et l'unité de commande de transfert 132.

5 Le circuit de comparaison 40 compare le contenu du registre/compteur d'inventaire 42 à la valeur de seuil emmagasinée dans le registre 92, pour maintenir l'inventaire à la valeur présélectionnée dans la mémoire intermédiaire 10 et pour sortir des données de la

10 mémoire intermédiaire 10 lorsque la valeur d'inventaire est égale à la valeur de seuil. Bien que le circuit de commande 40 (figure 1) ait été représenté dans la figure 2 sous la forme de dispositif logique particulier, il est évident que les fonctions assurées par le

15 circuit de commande 40 pourraient également l'être par un microprocesseur.

La figure 3 représente un schéma logique détaillé d'une partie de la figure 2 comprenant le registre/compteur d'adresses d'écriture 26, le registre/compteur d'adresses d'écriture 28, le commutateur 30, le registre/compteur d'inventaire 42, le registre 92 et les circuits de comparaison 96 et 100. Les bits des données de la valeur de seuil sont appliqués par les lignes 90 aux bascules 154 et 156 représentant le registre 92 de la figure 2. La sortie des bascules 154 et 156 est appliquée au travers d'un circuit ET 158 et directement à un comparateur 160 qui est interconnecté à un comparateur 162. Les comparateurs 160 et 162 sont des comparateurs à 4 bits. Les comparateurs 160 et 162 représentent les circuits de comparaison 96 et 100 de la figure 2.

Le signal ECHANTILLONNAGE ECRITURE par la ligne 46 et le signal ECHANTILLONNAGE LECTURE par la ligne 48 sont appliqués à un compteur 168 dont la sortie est appliquée

- à un compteur 170. Les compteurs 168 et 170 sont des compteurs/ décompteurs binaires synchrones et représentent le registre/compteur d'inventaire 42 (figure 2). La sortie du compteur 170 est appliquée par les 5 lignes 172 au comparateur 160 dont la sortie par la ligne 104 génère le signal INVENTAIRE INFÉRIEUR AU SEUIL, par la ligne 110 le signal INVENTAIRE SUPÉRIEUR AU SEUIL et par la ligne 120 le signal INVENTAIRE EGAL SEUIL.
- 10 Le signal ECHANTILLONNAGE ECRITURE est appliqué par la ligne 46 à un compteur 176 dont la sortie est raccordée à un compteur 178. Les compteurs 176 et 178 sont des compteurs binaires. Les compteurs 176 et 178 représentent le registre/compteur d'adresses d'écriture 26
15 (figure 2). Le signal ECHANTILLONNAGE LECTURE est appliqué par la ligne 48 à un compteur 180 dont la sortie est appliquée à un compteur 182. Les compteurs 180 et 182 sont des compteurs binaires et représentent le registre/compteur d'adresses de lecture 28 (figure 20 2).

Les sorties des compteurs 176 et 180 sont appliquées à un multiplexeur 188. Les sorties des compteurs 178 et 182 sont appliquées à un multiplexeur 190. Les multiplexeurs 188 et 190 sont des multiplexeurs/sélecteurs 25 de données du type 2 lignes à 1 ligne et représentent le commutateur 30 (figure 2). Ils génèrent les bits d'adresses pour la mémoire intermédiaire 10 par le bus de données 36. Les sorties des multiplexeurs 188 et 190 sont échantillonnées en utilisant les signaux LECTURE/
30 ECRITURE appliqués par la ligne 86 depuis l'horloge 82 (figure 2).

La figure 4 représente le circuit logique correspondant

à l'unité de commande de dispositif 122 (figure 2). Le signal INVENTAIRE EGAL SEUIL est appliqué par la ligne 120 à une porte ET 194 en même temps que le signal de chronologie PHASE 4 par la ligne 84. La 5 sortie de la porte ET 194 est appliquée à une bascule 196 qui reçoit également le signal de chronologie PHASE 6 de l'horloge 82 (figure 2). La sortie de la bascule 196 est appliquée à une porte ET 200 qui reçoit également comme entrée le signal de chronologie PHASE 5 par 10 la ligne 84. La sortie de la porte ET 200 génère le signal MARCHE appliqué par la ligne 124 au circuit ET 174 (figure 2). La sortie d'une porte ET 200 est également appliquée à une bascule 202 qui reçoit également un signal de restauration par la ligne 204 depuis 15 l'horloge 82. La sortie de la bascule 202 génère le signal MARCHE BASCULE par un inverseur 206 et la ligne 208 et le signal MARCHE BASCULE par la ligne 210 qui est raccordée à la porte ET 194.

La figure 5 représente le circuit logique correspondant 20 à l'unité de commande d'inventaire 106 (figure 2). Un signal de chronologie Phase 4 est appliqué par la ligne 84 à une porte ET 214. Le signal INVENTAIRE DIFFERENT DU SEUIL est appliqué par la ligne 114 à une porte ET 216 en même temps que le signal MARCHE BASCULE par la 25 ligne 208. Le signal MARCHE BASCULE est appliqué par la ligne 210 à une porte ET 218 en même temps que le signal INVENTAIRE SUPERIEUR A ZERO INFERIEUR A PLEIN est appliqué par la ligne 104. La sortie des portes ET 216 et 218 est appliquée à une porte OU 220 dont la 30 sortie est appliquée à la porte ET 214. La sortie d'une porte ET 214 génère le signal CONDITIONNEMENT ECRITURE qui est appliqué à une bascule 222 dont la sortie génère le signal REQUETE TRANSFERT MEMOIRE INTERMEDIAIRE par la ligne 116. La bascule 222 reçoit également

un signal de déconditionnement par la ligne 84 du signal d'horloge Phase 7 issu de l'horloge 82 (figure 2).

La sortie de la bascule 222 est appliquée à une porte
5 ET 226 qui reçoit également le signal de chronologie
Phase 5 par la ligne 84 pour générer le signal ARRET
HORLOGE appliqué à l'horloge 82 (figure 2). Le signal
TRANSFERT ACHEVE est appliqué par la ligne 78 à une
porte ET 228 pour générer le signal DEMARRAGE HORLOGE
10 appliquée à l'horloge 82 (figure 2). La sortie de la
bascule 222 est également appliquée à une porte ET 230
qui reçoit également le signal d'horloge Phase 6 par la
ligne 86 pour générer le signal ECHANTILLONNAGE ECRITURE
par la ligne 46.

15 La figure 6 représente le circuit logique correspondant
à l'unité de commande de transfert 132 (figure 2). Le
signal CONDITIONNEMENT LECTURE, Phase 0, est appliqué
par la ligne 84 à une porte ET 240. Le signal REQUETE
TRANSFERT DISPOSITIF est appliqué par la ligne 130 en
20 même temps que le signal INVENTAIRE SUPERIEUR A ZERO
INFERIEUR A PLEIN par la ligne 104, à une porte ET 242.
La sortie de la porte ET 242 est appliquée à la porte
ET 240 dont la sortie est appliquée à la bascule 244
qui reçoit également comme entrée le signal de chrono-
25 logie Phase 4 par la ligne 84. La sortie de la bascule
244 est appliquée aux portes ET 246, 248 et 250. La
porte ET 246 reçoit également le signal de chronologie
Phase 1 par la ligne 84 pour générer le signal ECHAN-
TILLONNAGE SORTIE par la ligne 140. La porte ET 248
30 reçoit également le signal de chronologie Phase 2 par
la ligne 84 pour générer le signal TRANSFERT DONNEES
par la ligne 136. La porte ET 250 reçoit le signal de
chronologie Phase 3 par la ligne 84 pour générer le

signal ECHANTILLONNAGE LECTURE par la ligne 48.

Bien que le dispositif de la présente invention ait été décrit relativement à l'exécution d'une opération d'écriture dans un dispositif E/S, il est évident que 5 le présent dispositif à mémoire intermédiaire peut également être utilisé pour exécuter une opération de lecture dans un processeur. Etant donné que le délai induit par la mémoire intermédiaire lors de l'exécution d'une opération de lecture dans un processeur n'est pas 10 aussi significatif que dans le cas d'une opération d'écriture, il est évident que les avantages apportés par la présente invention sont maintenus lors de l'exécution d'opérations de lecture dans un processeur.

Bien que l'on ait décrit dans ce qui précède et repré- 15 senté sur les dessins les caractéristiques essentielles de l'invention appliquées à un mode de réalisation préféré de celle-ci, il est évident que l'homme de l'art peut y apporter toutes modifications de forme ou de détail qu'il juge utiles, sans pour autant sortir du 20 cadre de ladite invention.

REVENDICATIONS

1. Dispositif à mémoire intermédiaire contrôlant le transfert des données entre un processeur qui génère des signaux de commande, et un dispositif d'entrée/sortie (E/S), comportant un moyen d'emmagasinage de données, disposé entre le processeur et le dispositif E/S pour recevoir des données fournies par le processeur et transmettre des données au dispositif E/S et assurer ainsi le transfert de données du processeur au dispositif E/S, et pour emmagasiner provisoirement une quantité de données préterminée tout en transférant simultanément des données entre le processeur et le dispositif E/S; ledit dispositif étant caractérisé en ce qu'il comprend:

un moyen de seuil établissant sélectivement un seuil d'emmagasinage pour ledit moyen d'emmagasinage, ledit seuil définissant une capacité inférieure à la capacité d'emmagasinage maximale dudit moyen d'emmagasinage,

un moyen de contrôle maintenant ladite quantité préterminée de données emmagasinées provisoirement dans ledit moyen d'emmagasinage de données, égale à la capacité d'emmagasinage définie par ledit seuil tandis que ledit moyen d'emmagasinage de données reçoit des données du processeur et en transmet au dispositif E/S.
2. Dispositif selon la revendication 1 caractérisé en ce que ledit moyen de seuil comprend un moyen répondant au signal de commande du processeur pour

19

générer un signal de contrôle représentant la capacité d'emmagasinage définie par ledit seuil.

3. Dispositif selon la revendication 2 caractérisé en ce que ledit moyen de contrôle comprend:

5 un premier moyen déterminant la quantité de données transférées du processeur audit moyen d'emmagasinage de données,

10 un deuxième moyen déterminant la quantité de données transmises au dispositif E/S à partir dudit moyen d'emmagasinage de données,

15 un troisième moyen pour entrer des données dans ledit moyen d'emmagasinage de données lorsque la quantité de données emmagasinées est inférieure à la quantité de données représentée par ledit signal de contrôle,

20 un quatrième moyen pour déterminer la différence entre la quantité de données emmagasinées dans ledit moyen d'emmagasinage de données et la quantité de données transmises au dispositif E/S et pour générer un signal représentant cette différence,

un cinquième moyen pour comparer ledit signal de contrôle et ledit signal de différence et pour générer un signal de transfert lorsque ledit signal de contrôle est égal audit signal de différence, et

25 un sixième moyen pour transmettre des données dudit moyen d'emmagasinage au dispositif E/S, en réponse audit signal de transfert.

20.

4. Dispositif selon la revendication 3 caractérisé en ce que:

ledit troisième moyen comprend un premier comparateur pour comparer la quantité de données emmagasinées dans ledit moyen d'emmagasinage de données et la quantité de données représentée par ledit signal de contrôle et commander l'entrée de données dans ledit moyen d'emmagasinage à partir dudit processeur,

10 ledit cinquième moyen comprend un deuxième comparateur pour comparer ledit signal de contrôle et ledit signal de différence, et pour générer ledit signal de transfert en cas d'égalité des deux signaux.

15 5. Dispositif selon l'une des revendications 1 à 4 caractérisé en ce que ledit moyen d'emmagasinage de données comprend un registre de données du type "premier entré - premier sorti".

6. Dispositif selon l'une des revendications 1 à 4 caractérisé en ce que ledit moyen d'emmagasinage de données comprend une mémoire à accès aléatoire.

7. Dispositif selon l'une des revendications 1 à 4 caractérisé en ce que ledit dispositif E/S comprend une unité à bande magnétique.

25 8. Procédé de transfert de données d'un processeur à un dispositif d'entrée/sortie (E/S) caractérisé en ce qu'il comprend les étapes suivantes:

le transfert de données du processeur à un moyen d'emmagasinage de données,

la commande de la quantité de données entrées dans ledit moyen d'emmagasinage de données jusqu'à
5 un seuil inférieur à la capacité d'emmagasinage maximale dudit moyen d'emmagasinage de données,

l'emmagasinage d'une quantité prédéterminée de données dans ledit moyen d'emmagasinage de données, et

10 le retrait de données dudit moyen d'emmagasinage de données vers le dispositif E/S tout en maintenant continuellement ladite quantité prédéterminée de données dans ledit moyen d'emmagasinage de données.

15 9. Procédé selon la revendication 8 caractérisé en ce qu'il comprend en outre les étapes suivantes:

la détermination de la quantité de données introduite dans ledit moyen d'emmagasinage,

20 la détermination de la quantité de données retirées dudit moyen d'emmagasinage vers ledit dispositif E/S,

la comparaison de la quantité de données introduites dans ledit moyen d'emmagasinage de données et la capacité définie par ledit seuil, et

25 le retrait de données dudit moyen d'emmagasinage vers ledit dispositif E/S lorsque la quantité de

27

données introduites dans ledit moyen d'emmagasinage de données est égale à ladite capacité définie par ledit seuil.

10. Procédé selon la revendication 9 caractérisé en
5 ce qu'il comprend en outre l'étape suivante:

10 la comparaison de la quantité de données retirées dudit moyen d'emmagasinage et transmises audit dispositif E/S, et de la quantité de données introduites dans ledit moyen d'emmagasinage de données, afin de commander la quantité de données introduites dans ledit moyen d'emmagasinage à l'aide de façon à ne pas dépasser la capacité définie par ledit seuil.

0013347

1/4

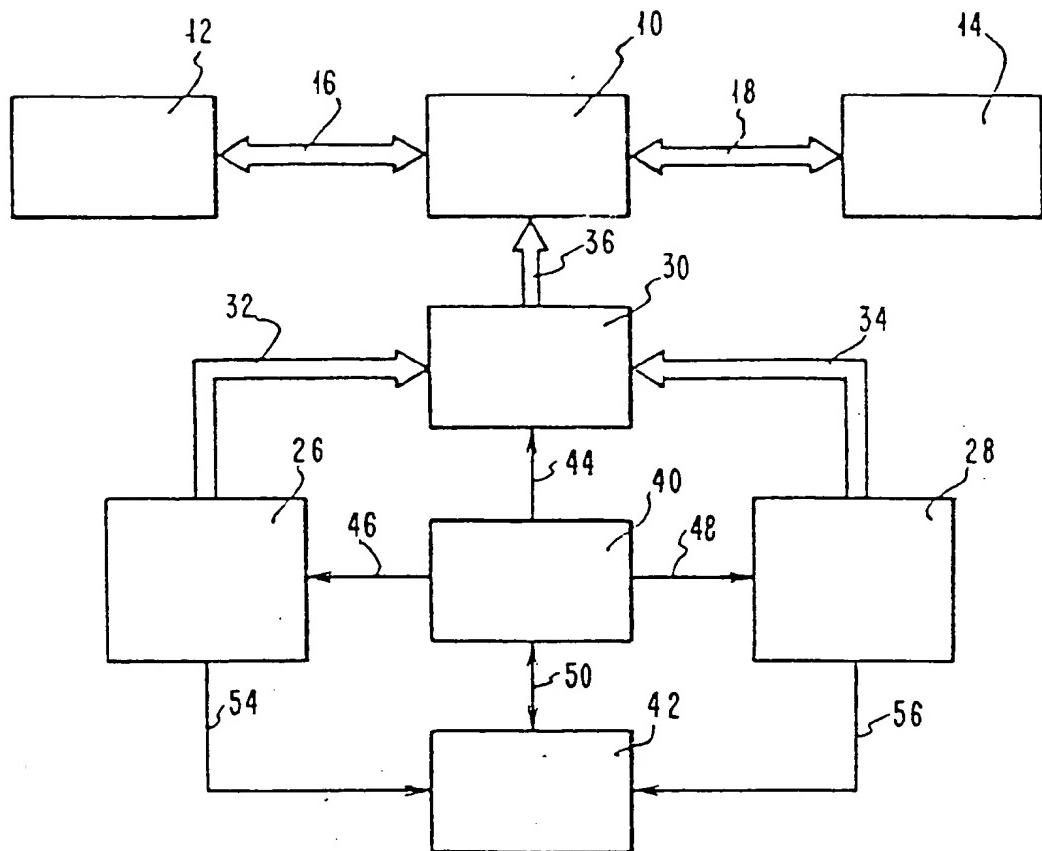


FIG. 1

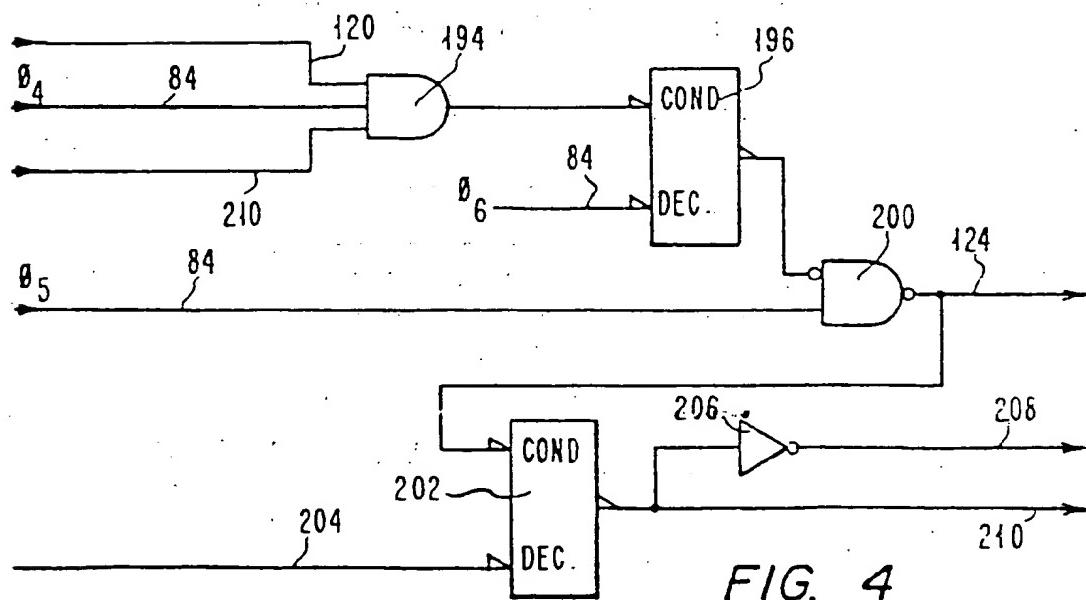
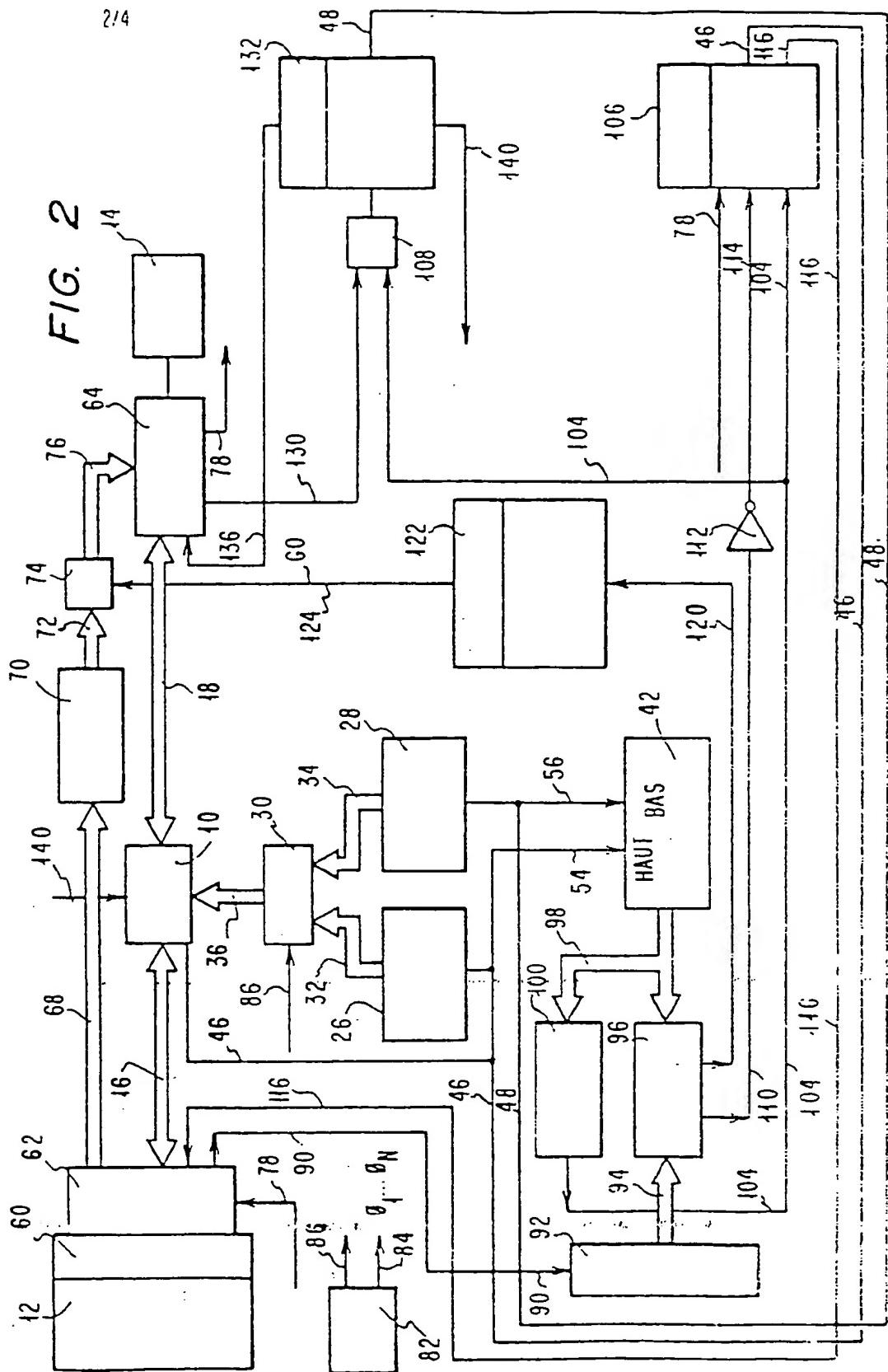


FIG. 4

0013347

214

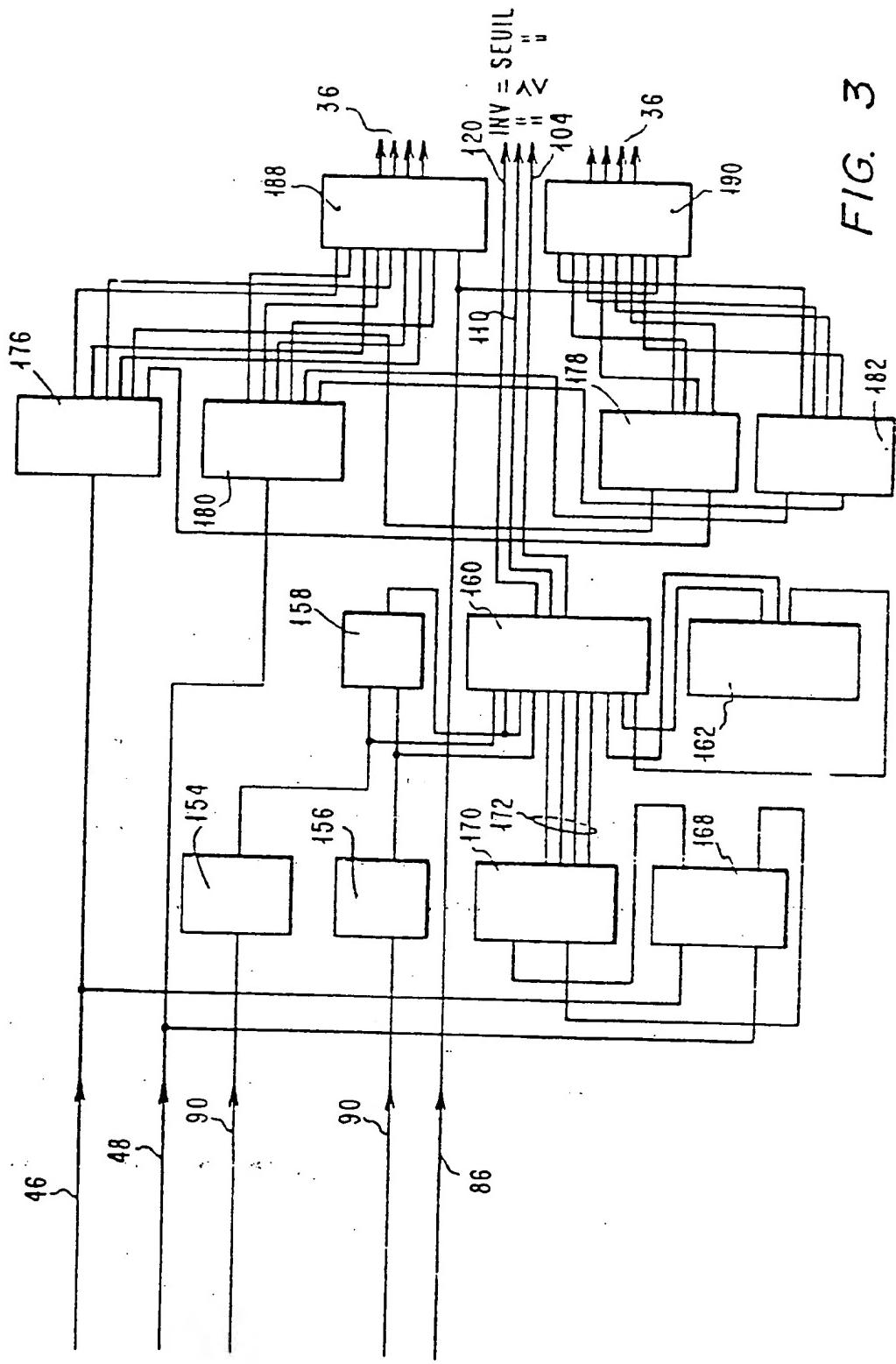
FIG. 2



0013347

3/4

FIG. 3



001334?

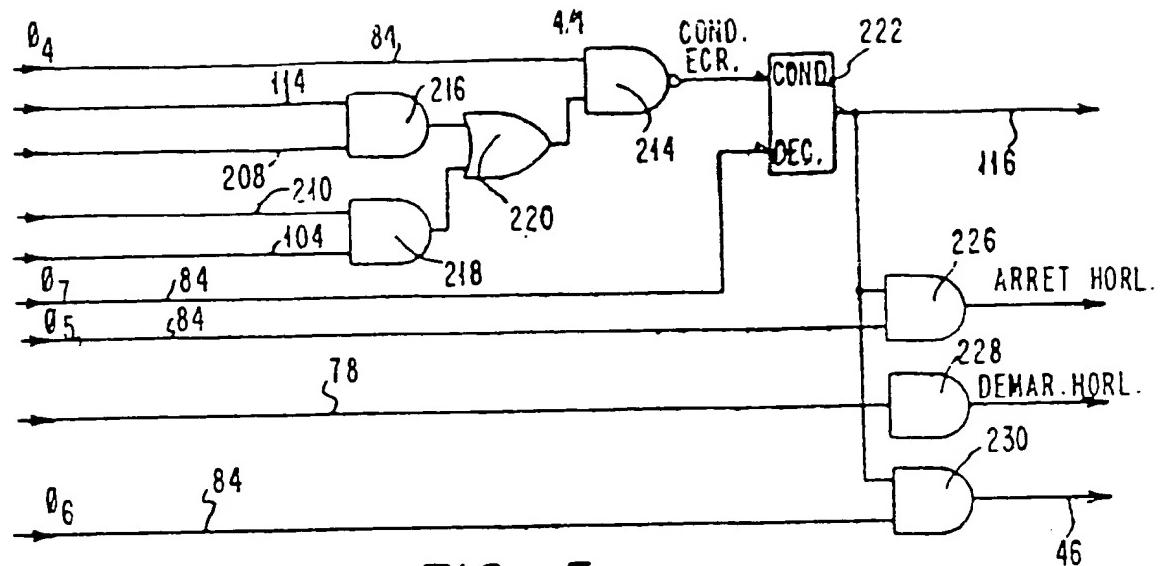


FIG. 5

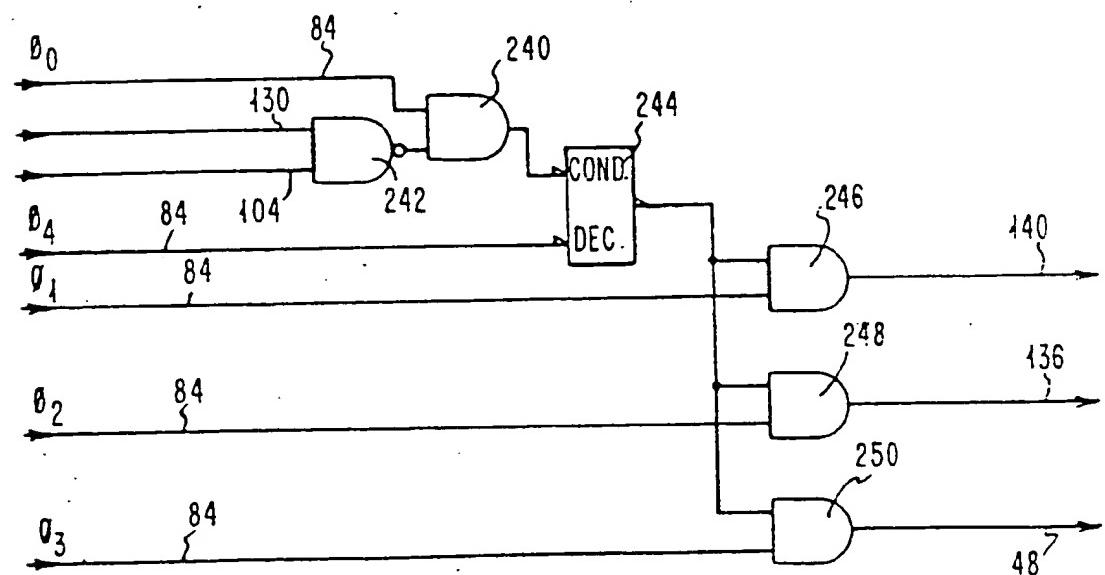


FIG. 6



Office européen
des brevets

RAPPORT DE RECHERCHE EUROPEENNE

0013347

N° de la demande

EP 79 10 4295

DOCUMENTS CONSIDERES COMME PERTINENTS		Revendication concernée	CLASSEMENT DE LA DEMANDE (Int. Cl.)
Categorie	Citation du document avec indication en cas de besoin, des parties pertinentes		
	<p><u>US - A - 3 665 416 (HIKOSAKA)</u></p> <p>* De colonne 5, ligne 4 à colonne 6, ligne 32; de colonne 30, ligne 36 à colonne 31, ligne 62; figure 22 *</p> <p>--</p> <p><u>US - A - 3 059 221 (PAGE)</u></p> <p>* Colonne 2, lignes 5-14; de colonne 5, ligne 22 à colonne 8, ligne 10; figure 1 *</p> <p>--</p> <p><u>ELECTRONIC INDUSTRIES</u>, juin 1966, pages 60-63, Radnor, US COX: "Communication between two asynchronous systems",</p> <p>* De page 62, colonne 3, alinéa 2 à page 63, dernière ligne et figures 1,4,5 *</p> <p>--</p> <p><u>DE - A - 2 802 160 (SCHRACK)</u></p> <p>* Page 7, alinéa 2; de page 12, alinéa 3 à page 13, alinéa 4, figure 3 *</p> <p>--</p> <p><u>IEEE PROCEEDINGS OF THE ANNUAL SYMPOSIUM ON COMPUTER ARCHITECTURE</u>, 23-25 mars 1977, pages 159-164. Long Beach, US PARKER "Hardware/Software tradeoffs in a variable word width variable queue length buffer memory".</p> <p>* Page 161, colonne de droite, alinéas 1-2; page 162, colonne de droite, alinéa 1; figures 1,6 *</p>	1,3,5 6,8-10	G 06 F 13/00
			DOMAINES TECHNIQUES RECHERCHES (Int. Cl.)
			G 06 F 13/00
			CATEGORIE DES DOCUMENTS CITES
			X particulièrement pertinent
			A: arrière-plan technologique
			O: divulgation non-écrite
			P: document intercalaire
			T: théorie ou principe à la base de l'invention
			E: demande faisant référence
			D: document cité dans la demande
			L: document cité pour d'autres raisons
			6: membre de la même famille, document correspondant
	<p><input checked="" type="checkbox"/> Le présent rapport de recherche a été établi pour toutes les revendications</p>		
Lieu de la recherche	Date d'achèvement de la recherche	Examinateur	
La Haye	03-04-1980	WEBER R.	